

Circuitos Lógicos

Aula 18

Aula passada

- Revisão FF NAND com clock (S-R)
- Flip-Flop J-K com Clock
- Flip-Flop D com Clock

Aula de hoje

- FF com entradas assíncronas
- Tempos e atrasos
- Problema de temporização

FF com Entradas Assíncronas

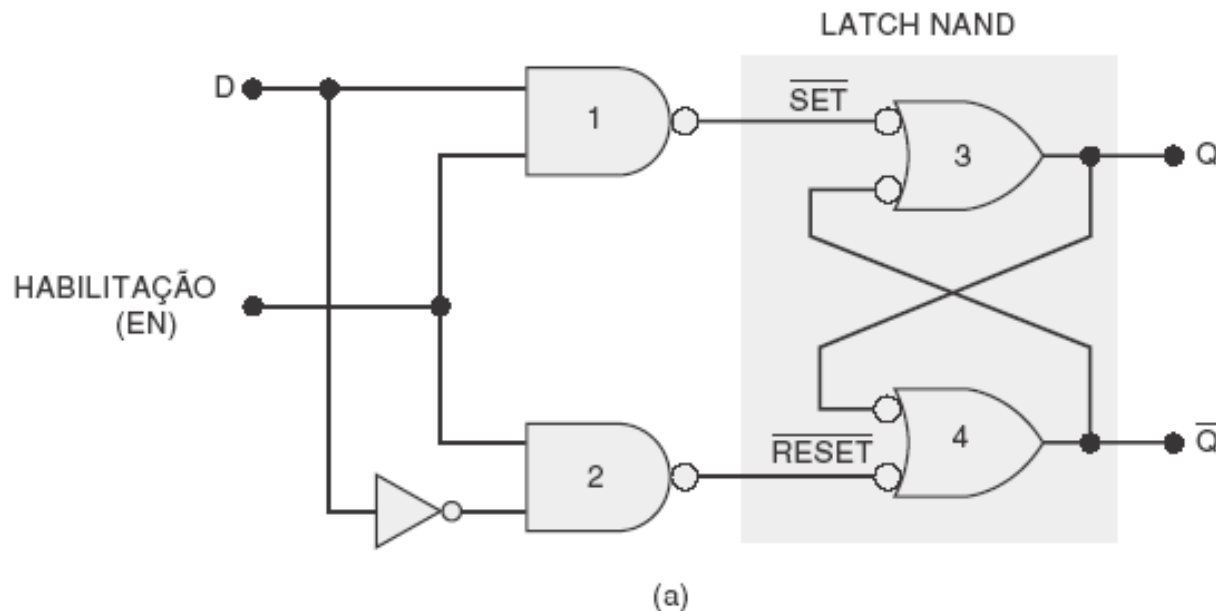
- Entrada síncronas: controladas pelo clock
- Entradas assíncronas: não são controladas pelo clock (“valem” a qualquer instante)



- Qual é o objetivo de ter um FF com entradas assíncronas?
- Poder mudar estado do FF em qualquer instante (independe do clock, etc)
- FFs passam a ter entradas síncronas e assíncronas

Latch D

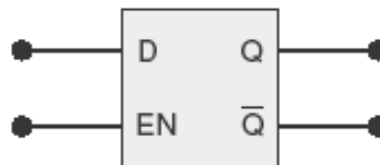
- “Latch D” é o FF D sem clock
 - entrada de clock passa a ser “controle”
- Controle é assíncrono



Entradas		Saída
EN	D	Q
0	X	Q_0 (não muda)
1	0	0
1	1	1

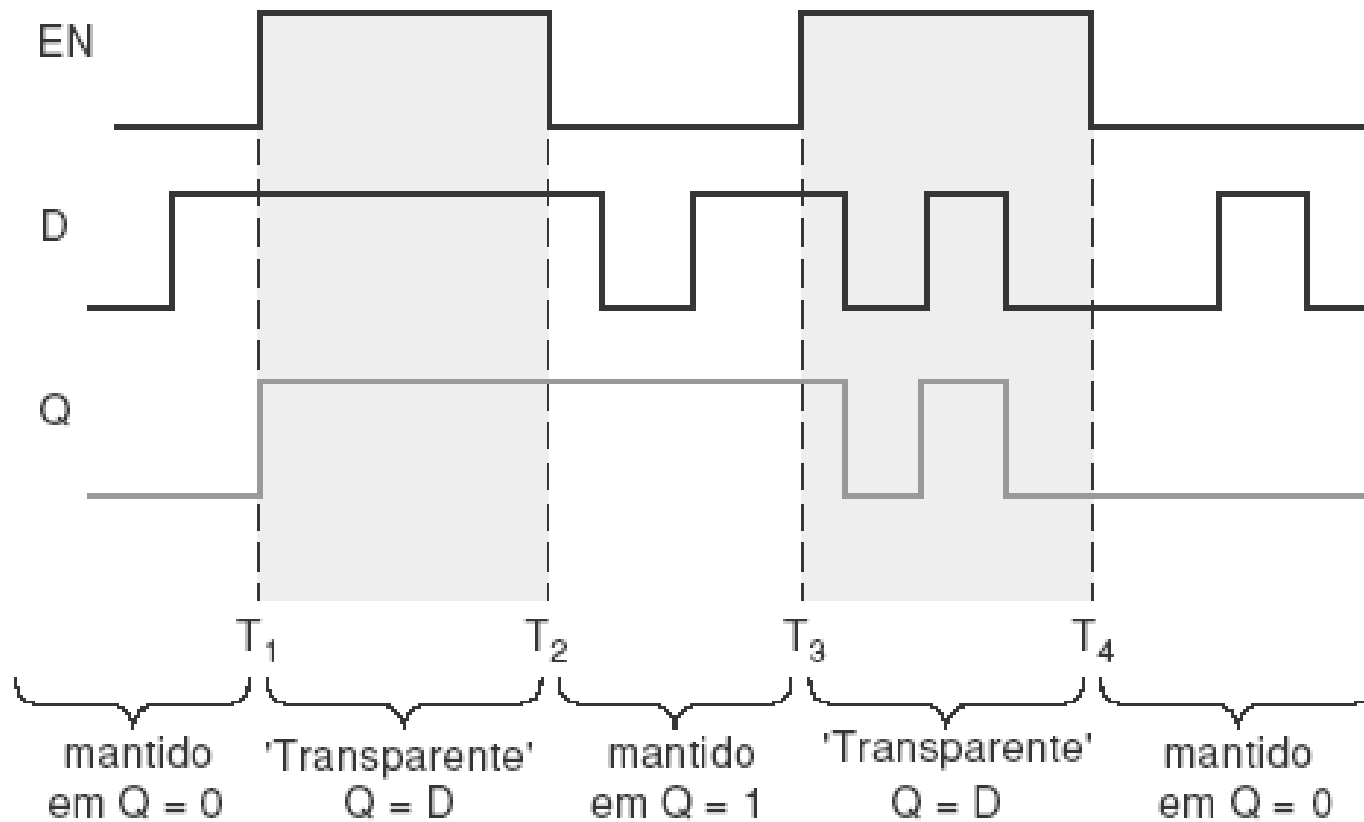
'X' indica irrelevante.
 Q_0 é o estado imediatamente anterior a EN para o nível BAIXO.

(b)



(c)

Exemplo do “Latch D”



FF J-K com Clock e Entradas Assíncronas

- Duas entradas assíncronas no FF J-K
- Operações de SET e RESET assíncronas
 - independe do clock e dos valores J e K

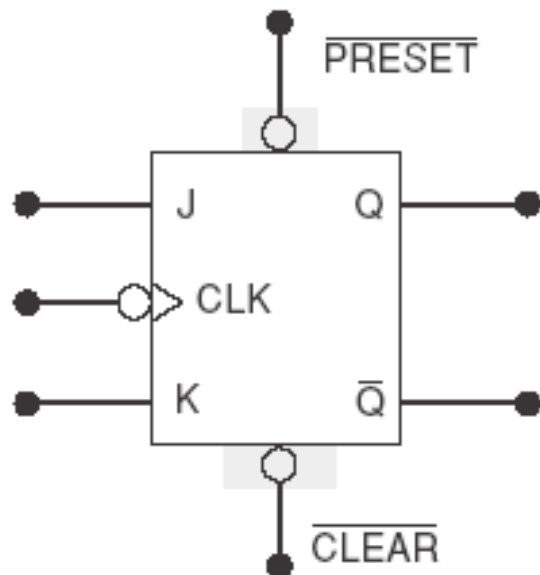
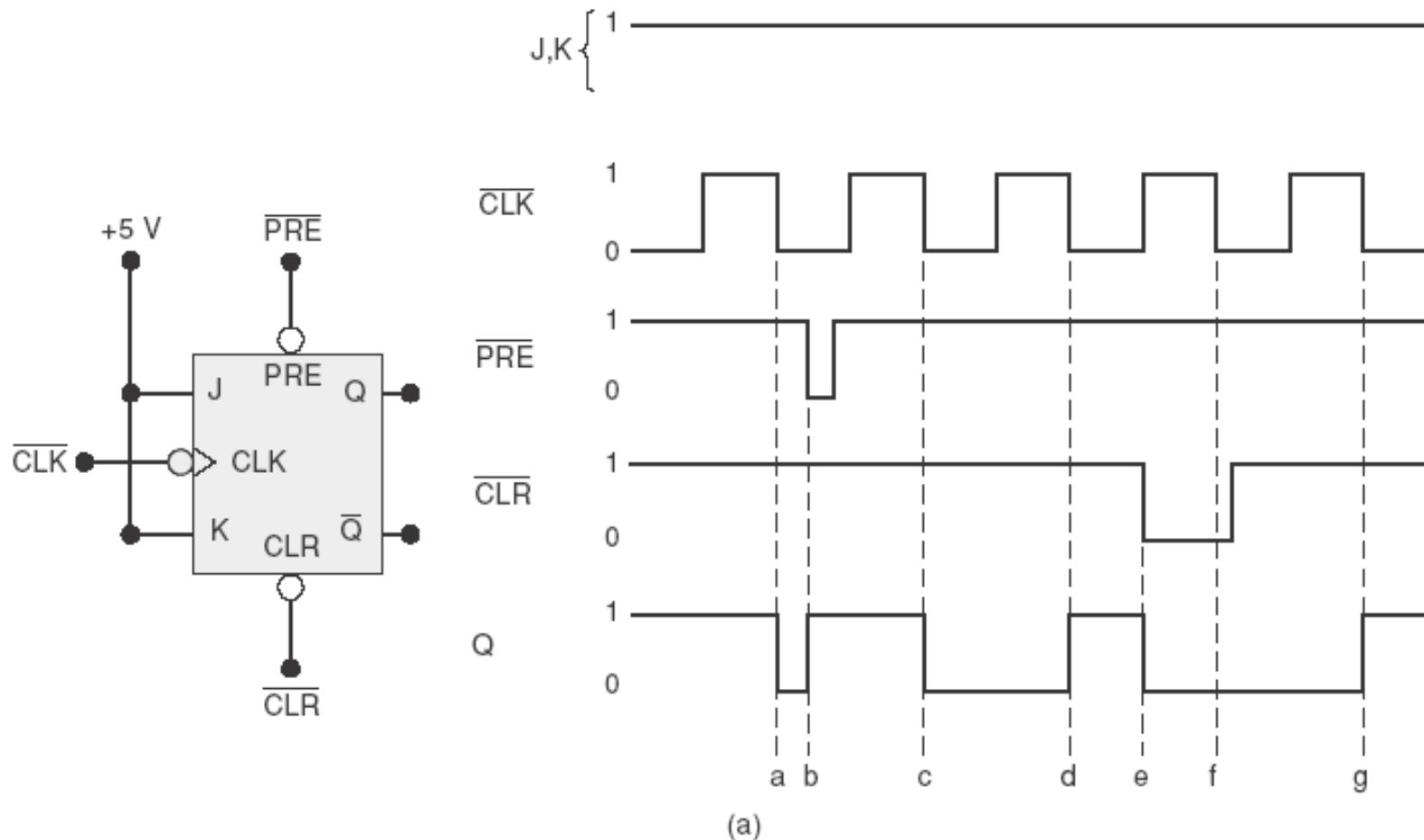


Tabela verdade

J	K	CLK	$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	Q
0	0	↓	1	1	Q (não muda)
0	1	↓	1	1	0 (reset síncrono)
1	0	↓	1	1	1 (set síncrono)
1	1	↓	1	1	\overline{Q} (toggle síncrono ou comutação síncrona)
x	x	x	1	1	Q (não muda)
x	x	x	1	0	0 (clear assíncrono)
x	x	x	0	1	1 (preset assíncrono)
x	x	x	0	0	(Inválido)

Exemplo



Ponto	Operação
a	Comutação síncrona na borda de descida em $\overline{\text{CLK}}$
b	Set assíncrono em $\overline{\text{PRE}} = 0$
c	Comutação síncrona
d	Comutação síncrona
e	Clear assíncrono em $\overline{\text{CLR}} = 0$
f	$\overline{\text{CLR}}$ se sobrepõe à borda de descida de $\overline{\text{CLK}}$
g	Comutação síncrona

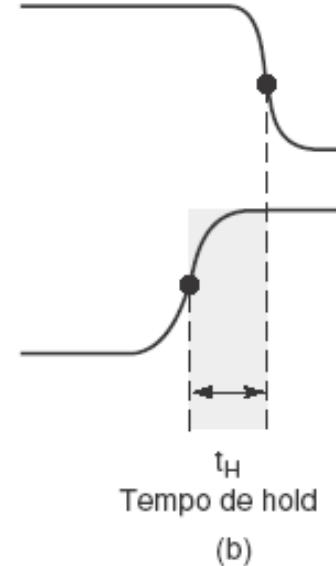
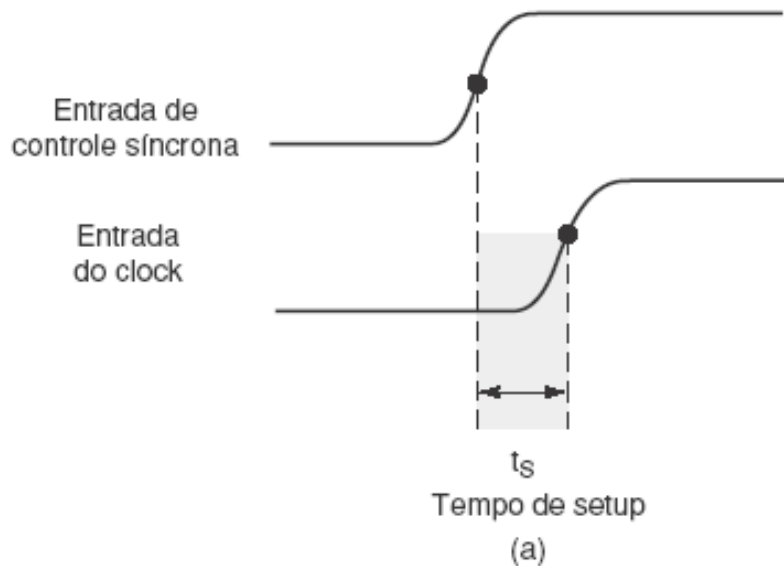
(b)

Tempos e Atrasos

- Temporização é fundamental para bom funcionamento dos FFs
- Sem conhecer e respeitar limites de tempo não operamos nenhum FF
- Exemplos de tempos importantes?

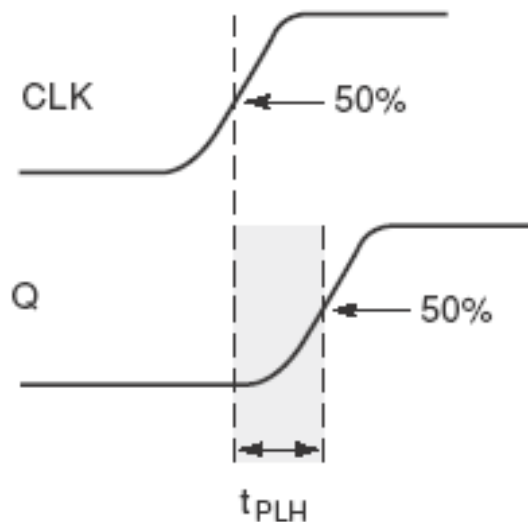
Tempos de Setup e Hold

- Quanto tempo antes do clock as entradas tem que estar com seus valores prontos?
 - Tempo de setup
- Quanto tempo depois do clock as entradas podem mudar de valor?
 - Tempo de hold

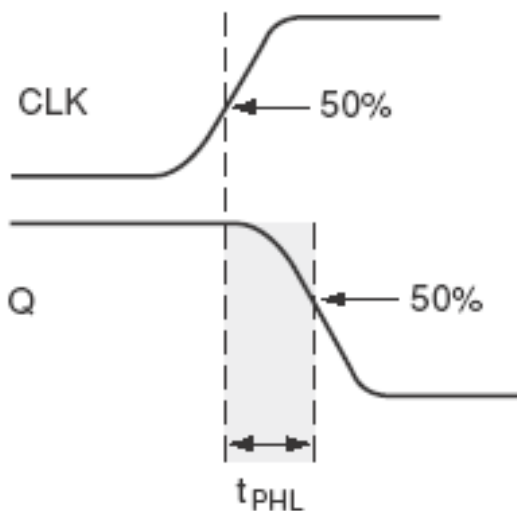


Atraso de Propagação

- Quanto tempo demora para a saída refletir o novo estado do FF?
 - Atraso do FF
- Atrasos dos estados SET e RESET podem ser diferentes



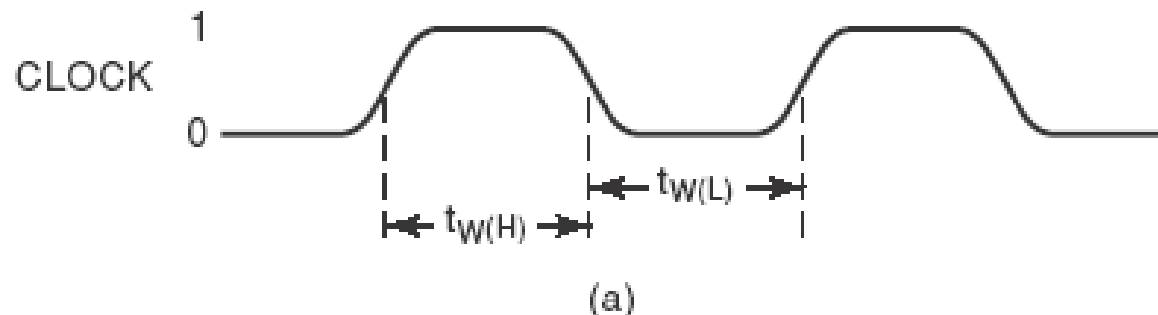
Atraso em transição
de BAIXO para ALTO



Atraso em transição
de ALTO para BAIXO

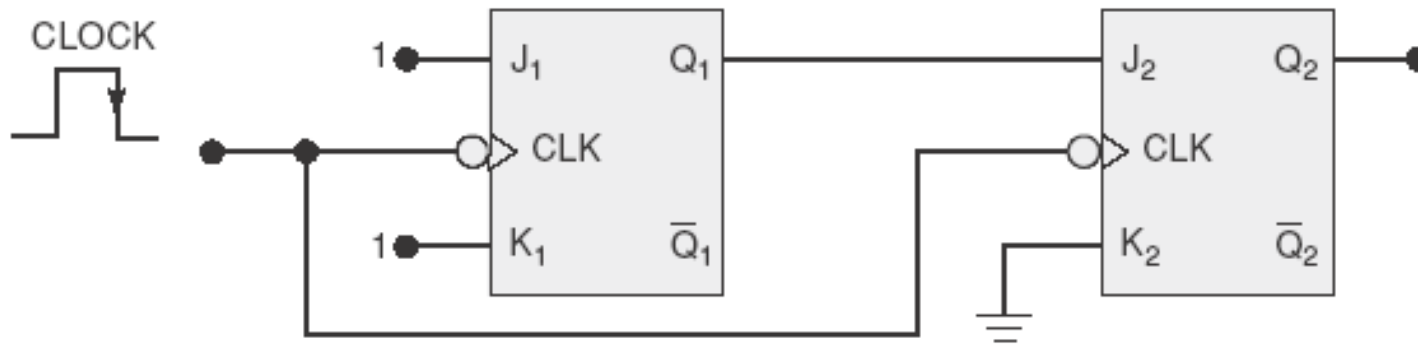
Frequência Máxima e Duração do Pulso

- Quantas vezes o FF pode responder a impulsos por unidade de tempo (Hertz)
 - Frequência máxima
- Duração do pulso no mínimo?
- Duração em alto pode ser diferente da duração em baixo



Potenciais Problemas de Temporização

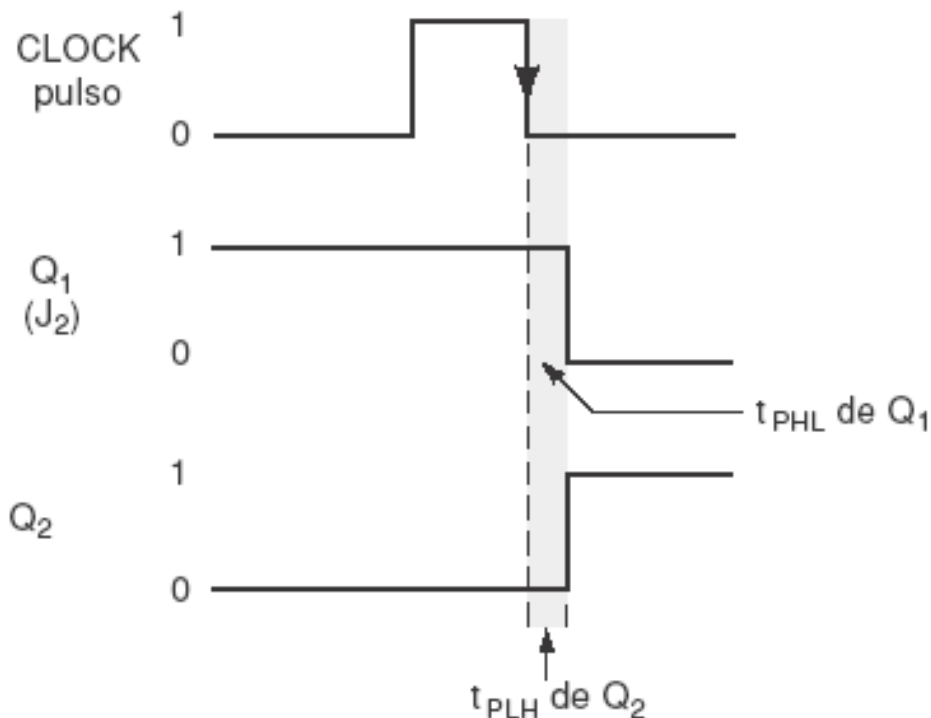
- FFs ligados uns aos outros, intercalados por lógica combinacional
- Exemplo



- O que ocorre quando o pulso chega?
 - assumir $Q1 = 1$ e $Q2 = 0$ antes do pulso
- Duas possibilidades: $Q2 = 1$ ou $Q2 = 0$

Potenciais Problemas de Temporização

- Se atraso for maior que tempo de hold, não teremos problema: $Q_2 = 1$
- Tempo de hold é em geral próximo de zero



Premissa fundamental

- Saída de um FF é determinada pelo nível lógico das entradas *imediatamente antes* da transição de clock
- Permite construir circuitos de forma segura!

Exemplo

- Considere um FF J-K, transição negativa, onde o tempo de hold é zero
- Assuma inicialmente $Q = 0$

