Protem-CC-CNPq

CLoP^N

Sistemas Escaláveis de Alto Desempenho para Programação Lógica com Restrições

Duração: Janeiro de 2000 a Janeiro de 2003

Subárea do Conhecimento: 1.03.03.01-4

Vítor Santos Costa

COPPE/Sistemas, UFRJ

Janeiro a Junho de 2000

1 Resumo do Projeto

O projeto $CLoP^N$ pretende desenvolver um ambiente de programação que ofereça ao usuário uma linguagem de alto nível, declarativa através do suporte de paralelismo e de hardware programável. O projeto está baseado em Programação em Lógica que provê um modelo de linguagem de alto nível, baseada em lógica matemática. Programação Lógica com restrições introduz uma nova característica à linguagem, que permite ao programador expressar problemas por meio de restrições. O paradigma tem sido aplicado na resolução de classes importantes de problemas em áreas tais como escalonamento (job-shop scheduling), alocação de recursos, bancos de dados, e problemas de otimização em geral.

O suporte ao paralelismo surge como uma das formas principais de acelerar a execução destes programas. Em particular, tem-se notado nos últimos tempos o aparecimento de "clusters" de máquinas de memória compartilhada que usam máquinas do tipo PC para construir sistemas altamente paralelos, mas de baixo custo. Aplicações de programação com restrições exibem considerável paralelismo, tanto entre diferentes sub-tarefas (paralelismo-E) como na enumeração de diferentes alternativas (paralelismo-OU). Este paralelismo pode ser explorado tanto através de máquinas de memória compartilhada como de memória distribuída, e em particular, através de máquinas da classe Beowulf.

Uma técnica alternativa para a melhoria do desempenho é através da migração de operações de software para hardware programável. Até recentemente, o custo de desenvolvimento de novo hardware era proibitivo para aplicações especializadas. O aparecimento de novas tecnologias de hardware, tais como as FPGAs (Field Programmable Gate Arrays), permitiu alterar esta equação, diminuindo dramaticamente os custos. Neste projeto, pretendemos obter ainda melhor performance do sistema através da identificação e posterior migração de partes críticas de código fonte Prolog-like para bancos locais de FPGAs.

Palavras Chaves: Paralelismo, Programação em Lógica, Restrições, Hardware Reprogramável.

2 Introdução

Programação Lógica tem como base uma linguagem de programação de alto nível, baseada em lógica matemática, mais especificamente em cláusulas de Horn. Recentemente, Programação Lógica tem recebido considerável atenção. Neste paradigma classes importantes de problemas em áreas tais como escalonamento (job-shop scheduling), alocação de recursos, bancos de dados, e problemas de otimização em geral podem ser descritos por meio de restrições. O mecanismo de execução se encarrega de resolver o conjunto de equações/inequações expressas pelas restrições.

Neste contexto, nossa proposta é pesquisar técnicas de implementação eficientes para sistemas de programação lógica com restrições através do uso de *paralelismo* e de *hardware programável*.

O suporte ao paralelismo surge como uma das formas principais de acelerar a execução dos programas. Em particular, tem-se notado nos últimos tempos o aparecimento de "clusters" de máquinas de memória compartilhada, tais como as máquinas Beowulf [10], projeto NOW [1] ou NCP2 [3], que usam máquinas do tipo PC para construir sistemas altamente paralelos, mas de baixo custo. Aplicações da programação com restrições exibem considerável paralelismo, tanto entre diferentes sub-tarefas (paralelismo-E) [8] como na enumeração de diferentes alternativas (paralelismo-OU). Este paralelismo pode ser explorado tanto através de máquinas de memória compartilhada como de memória distribuída.

Uma técnica alternativa para a melhoria do desempenho é através da migração de operações de software para hardware programável. Até recentemente, o custo de desenvolvimento de novo hardware era proibitivo para aplicações especializadas. O aparecimento de novas tecnologias de hardware, tais como as FPGAs (Field Programmable Gate Arrays), permitiu alterar esta equação, diminuindo dramaticamente os custos. Neste projeto, pretendemos obter ainda melhor performance do sistema através da identificação e posterior migração de partes críticas de código fonte Prolog-like para bancos locais de FPGAs.

Dentro deste contexto, a nossa proposta é, em colaboração com o nosso parceiro americano, a de implementar um ambiente de execução e de compilação paralelo para programas lógicos com restrições e avaliar esse ambiente num conjunto de aplicações reais.

3 Principais Resultados

O projeto foi recomendado em Maio de 1999, mas foi apenas oficialmente iniciado em Janeiro de 2000. Foram inicialmente pedidos R$155.700,00 para o projeto que incluiriam suporte a um estágio de longa duração, 6 estágios de um mês e 9 participações em eventos, além de 8 estações de trabalho ligadas por Myrinet. Foram concedidos R$70,000.00 para o projeto dos quais R$35,000.00 para despesas de capital e R$35,000.00 para bolsas de curta duração e hardware para desenvolvimento de FPGA.

As despesas de capital correspondem ao seguinte equipamento IBM: um servidor PowerPC, 4 PCs Celeron e 1 scanner (Kit A). O equipamento foi recebido antes do início oficial do projeto e foi alocado da seguinte forma:

- O servidor IBM encontra-se na COPPE/Sistemas onde tem sido usado como servidor de disco.
- 2 PCs estão na COPPE/Sistemas onde são usadas como estações de trabalho por 2 pesquisadores do projeto.
- O scanner está na COPPE/Sistemas sendo utilizado pelos pesquisadores do projeto e alunos envolvidos.
- 1 PC está no ILTC/UFF onde é usado como estação de trabalho.
- 1 PC está no UFRGS onde é usado como estação de trabalho.

Nos objetivos iniciais do projeto seriam necessárias 6 estações de trabalho para o desenvolvimento do software. Como esse financiamento não foi suportado dependemos, para execução do projeto, de acesso ao cluster NCP2 da COPPE/Sistemas e aos clusters da UFRGS em Porto Alegre.

Os restantes R$35,000.00 correspondem a uma placa de R$4,000.00 para desenvolvimento de FPGA e a R$31,000.00 para bolsas de curta duração. A placa para desenvolvimento de FPGA é absolutamente fundamental para as tarefas 1.a.i e 1.b.v, correspondendo a equipamento que não se encontra disponível no Brasil. Depois da oficialização do projeto foram desenvolvidos contatos com vários fornecedores no exterior tendo sido já escolhida e encomendada uma placa que corresponde ao orçamento (Silicon Software GmbH: `www.silicon-software.com`), esperando-se que o processo seja terminado no curto prazo (o processo de aquisição foi bloqueado pela greve dos funcionários na UFRJ).

As bolsas de curta duração foram divididas em R$14,000 reais para o primeiro ano do projeto, R$10,000 para o segundo e R$7,000 para o terceiro ano. Nestes 6 meses foram já gastos R$3.012,58 e R$2.053,48 em 2 bolsas de curta duração, tendo sido entretanto reservadas duas bolsas de R$4,500 para duas visitas de 15 dias ao nosso principal colaborador em NMSU: uma delas a se realizar em fim de Junho/princípio de Julho e outra em Setembro.

Ocorreram as seguintes atividades relacionadas com o projeto:

1. Novembro de 1999: apresentação do trabalho "Síntese de Cláusulas em FPGAs", na Jornada de Iniciação Científica da UFRJ. Esta atividade está relacionada com a tarefa 1.b.v do projeto.
2. Dezembro de 1999: visita de uma semana de Vítor Santos Costa (UFRJ) a Las Cruces, NMSU (a reunião não foi suportada por este projeto). Estavam presentes o grupo NMSU e o coordenador da empresa ALS. Na reunião foram apresentados os resultados iniciais do projeto NSF. Em particular fomos informados sobre os avanços na paralelização do sistema ALS-Prolog através do método de stack-splitting para paralelismo-OU.

A reunião ocorreu durante a Conferência ICLP99, tendo membros do projeto participado na organização de um dos workshops da Conferência. Os anais do Workshop foram editados por Inês de Castro Dutra e publicados eletronicamente em Maio de 2000 na série Electronic Notes on Theoretical Computer Science – ENTCS da editora Elsevier [6]. Um dos artigos do workshop foi apresentado por Vítor Santos Costa e se refere um esquema de implementação de paralelismo para o projeto [4].

3. Janeiro de 2000: Visita de 4 dias de Fatima Dargam (ILTC) ao Imperial College (visita não suportada por este projeto). O objetivo desta visita foi de reenforçar os vínculos de colaboracao com o Departamento de Computação do Imperial College. Foram contactados os seguintes pesquisadores durante esta visita: Francesca Toni, Alessandra Russo e Kostas Stathis.

4. Janeiro de 2000: Organização do evento PADL'00 (Workshop on Practical Aspects of Declarative Languages 2000, co-localizado com a Conferência Principles of Programming Languages POPL'00) que decorreu em Boston, USA. O evento foi presidido por membros do projeto: Enrico Pontelli (NMSU) e Vítor Santos Costa (UFRJ), sendo publicado na série LNCS da Springer Verlag [9]. Devido ao atraso no início oficial do projeto não foi possível a visita de Vítor Santos Costa a Boston.

5. Março de 2000: Defesa de tese de Mestrado na área de estudo de estratégias de escalonamento para exploração de paralelismo OU em ambientes de memória compartilhada e ambientes de memória distribuída através de simulação.

6. Março de 2000: Visita de 10 dias de Priscila Lima (ILTC) ao Imperial College e University of Cardiff na Inglaterra (suportada em parte pelo projeto). Os professores Keith Clark e Antonia Jones sugeriram alternativas para o esquema proposto para suporte a Programação em Lógica em redes neurais com vista a implementação em FPGAs. Foi ainda visitado o grupo de Programação com Restrições, no IC-Parc, considerado um dos mais fortes na área, tendo em vista a colaboração na área de aplicações.

7. Março de 2000: visita de um dia de Cláudio Geyer (UFRGS) à UFRJ (não suportada pelo projeto). Nessa visita foi reforçada a colaboração com a UFRGS no âmbito do projeto.

8. Abril de 2000: visita de 3 semanas de Vítor Santos Costa (UFRJ) às Universidades do Porto e Politecnica de Madrid e de duas semanas de Inês de Castro Dutra à Universidade do Porto (estas visitas não foram suportadas pelo projeto).

   Na visita à Universidade do Porto foi continuado o trabalho de colaboração sobre sistemas paralelos, com avanços mais importantes na área de paralelismo-OU para tabulação e na área de visualização.

   Na visita de 2 dias à Universidad Politecnica de Madrid (UPM) foi acordado que o projeto poderia usar as ferramentas desenvolvidas pela UPM para as tarefas em 1b., tendo essas ferramentas que ser integradas dentro do projeto.

9. Maio de 2000: visita de 1 semana de Felipe M. G. França (UFRJ) a Suíça e França (suportada em parte pelo projeto). O trabalho intitulado "Implementation of overlapped block filtering using scheduling by edge reversal"foi apresentado no IEEE International Symposium on Circuits and Systems que se passou em Geneva no presente ano. A tecnica de escalonamento por reversao de arestas, que também será aplicada na temporização dos modelos

implementados em FPGAs nesse projeto, foi aplicada a um problema de filtragem digital. A visita ao IUP - Université d'Evry, França, teve um caráter exploratório no sentido de apresentar alguns resultados que pudessem alimentar uma futura colaboração mais forte na área de redes neurais artificiais.

Estão previstos os seguintes eventos relacionados ao projeto:

1. Junho de 2000: Visita de 15 dias de Cláudio Geyer (UFRGS) à NMSU e para participação na Conferência International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA'2000) em Las Vegas [11] (a ser suportada em parte pelo projeto). A visita a NMSU é fundamental para a colaboração nas tarefas de Implementação, e em particular na sub-tarefa de compilação 1b.

2. Julho de 2000: Participação de Vítor Santos Costa (UFRJ) e Inês de Castro Dutra (UFRJ) na CL2000 em Londres (esta atividade não será suportada pelo projeto). Durante a Conferência foi acordada uma reunião com Gopal Gupta (NMSU) e Enrico Pontelli (NMSU) para análise da situação do projeto e reforço de colaboração.

   Na conferência será apresentado um artigo desenvolvido para a tarefa 3 do projeto (Análise de Performance) [7]. Num workshop paralelo será apresentada uma comunicação sobre trabalho inicial para a tarefa 1biii (ambiente de compilação) resultante da colaboração UCPel/UFRGS/UFRJ [2].

   Em paralelo com a Conferência realiza-se a ILP2000 (Conferência on Inductive Logic Programming)

3. Julho de 2000: Participação de Vítor Santos Costa (UFRJ) e Inês de Castro Dutra (UFRJ) na CL2000 em Londres (esta atividade não será suportada pelo projeto). Durante a Conferência foi acordada uma reunião com Gopal Gupta (NMSU) e Enrico Pontelli (NMSU) para análise da situação do projeto e reforço de colaboração.

   Na conferência será apresentado um artigo desenvolvido para a tarefa 3 do projeto (Análise de Performance) [7]. Num workshop paralelo será apresentada uma comunicação sobre trabalho inicial para a tarefa 1biii (ambiente de compilação) resultante da colaboração UCPel/UFRGS/UFRJ [2].

   Em paralelo com a Conferência realiza-se a ILP2000 (Conferência on Inductive Logic Programming) onde Vítor Santos Costa (UFRJ) apresentará uma comunicação sobre análise sequencial de sistema ILP [17]. O objetivo deste trabalho foi o de estudar ILP como uma possível aplicação do projeto (tarefa 3).

   A convite do comitê de programa da conferência CL2000, Vítor Santos Costa apresentará um tutorial em Sistemas Paralelos de Programação Lógica de Alto Desempenho.

4. Setembro de 2000: visita de Inês de Castro Dutra a NMSU para reforço de colaboração na área 1a. Incluirá visita à Bell Labs para discussão de aplicações na área de Internet (tarefa 3). Esta visita será financiada pelo projeto.

No seguinte apresentaremos os principais resultados do projeto, organizados por tarefa:

1. Implementação:

   (a) Ambiente de execução:

i. Programação em Lógica com Restrições: Esta tarefa envolve colaboração entre os núcleos principais do projeto (NMSU, ALS Inc., UFRJ, UFRGS, UPorto, Stony Brook).
Foi concluída a adaptação de solvers CLP(R) e CLP(Q) para o sistema Prolog YAP [14, 15]. Foi iniciado o estudo de um solver simples para domínios finitos (CSOS [12]), cujas fases de consistência e propagação de restrições são mais fáceis de serem paralelizadas do que o utilizado no sistema `CLP(FD)` de Diaz. Este trabalho está sendo realizado em colaboração com pesquisadores da Universidad Complutense de Madrid [12]. O solver está sendo paralelizado para máquinas de memória compartilhado-distribuída.

ii. Migração de Trechos Críticos para Hardware: foram apresentados resultados preliminares de migração de trechos de programas em linguagem de Programação Lógica Paralela para hardware reconfigurável. Foram estabelecidas dicussões com autoridades na área, tendo a professora Jones observado que, para as migrações baseadas em mapeamentos de sub-conjuntos da Lógica de Primeira Ordem que necessitassem de capacidade de busca global, deveriam ser consideradas alternativas ao algoritmo original de Simulated Annealling. Uma delas seria o uso de uma Máquina de Boltzmann Síncrona, cuja viabilidade no nosso caso dependeria da sua capacidade ou não de trabalhar com hiper-arcos. Uma sugestão para futura incorporação de capacidade de aprendizado ao sistema feita pela Professora Jones foi a do uso da técnica conhecida como Gamma-Test que vem obtendo bons resultados em outras áreas de aplicação. Já o Professor Clark esclareceu dúvidas sobre algumas limitações em paralelização de Programação em Lógica vindas de sua vasta experiência no projeto, implementação e uso da linguagem PARLOG. O Professor Clark apontou também como referência o trabalho de um pesquisador do Imperial College consistindo na proposta de uma linguagem procedural bem simples cujos principais comandos tivessem seu mapeamento para hardware reconfigurável previamente resolvidos.
Foi apresentado um trabalho na Jornada de Iniciação Científica da UFRJ.

iii. Paralelização do sistema: apesar desta fase oficialmente só começar em Junho, iniciou-se investigação sobre o melhor esquema para implementação de paralelismo num sistema com memória compartilhada em colaboração com a Universidade do Porto, tendo sido obtida uma publicação sobre paralelismo-E independente [4] e outra sobre paralelismo-OU [16]. Foi desenvolvido um trabalho na área de estratégias de escalonamento para exploração de paralelismo OU que resultou em uma tese de Mestrado.

(b) Ambiente de Compilação:

i. Compilação de Prolog com Restrições: foi implementado um esquema de compilação de restrições para YAP que suporta CLP(R) e CLP(Q), esperando-se agora investigar a compilação de CLP(FD).

ii. Detecção de Independência entre objetivos: foi estabelecida colaboração com investigadores da Universidade Politecnica de Madrid para a utilização das ferramentas do sistema CIAO como base do nosso protótipo.

iii. Análise de Granularidade: foi continuada a colaboração entre os grupos de Rio Grande do Sul e a UFRJ na análise de granularidade tendo sido submetida uma publicação [2].

iv. Geração do código especializado para o hardware FPGA: foi encomendado o hardware FPGA necessário para a realização desta tarefa.

(c) Ferramentas de visualização e de depuração: foi continuado suporte ao sistema VisAll, estando agora a sua evolução na dependência de encontrar um aluno de mestrado para continuar o desenvolvimento do sistema.

2. Aplicações: Foi estudada uma nova aplicação na área de ILP (Inductive Logic Programming) em colaboração com investigadores da Universidade do Porto e de Oxford. Um artigo sobre uma análise inicial do sistema será apresentado na conferência ILP2000 [17].

3. Análise de Performance: Foi continuada a análise de performance do sistema E/OU Andorra-I através do uso de simulação [13], tendo sido publicado um artigo na conferência CL2000 [7]. A tecnologia e os resultados serão comparados com o nosso protótipo final.

Foi ainda organizada a página do projeto.

4 Equipe Técnica

Os seguintes membros da equipe técnica participaram em atividades suportadas ou relacionadas com o Projeto:

1. Prof. Vítor Santos Costa visitou a NMSU e os grupos de investigação da Universidade do Porto e de Madrid (visitas não suportadas pelo projeto). Tem as seguintes publicações relacionadas com o projeto: [9, 6, 4, 7, 17, 16, 13].

2. Profa. Inês de Castro Dutra tem as seguintes publicações relacionadas com o projeto: [6, 7, 13]. Iniciou a orientação da estudante de Mestrado Marluce Rodrigues num projeto relacionado com a tarefa 1.a.iii e orientou um aluno de iniciação científica junto com o Felipe França na área de migração de trechos críticos de programa para FPGAs.

3. Prof. Felipe França participou na Conferência "Proc. of the IEEE International Symposium on Circuits and Systems 2000" onde apresentou publicação [5].

4. Profa. Priscila Lima visitou o grupo de Programação em Lógica do Department of Computing no Imperial College e o grupo de Constraint Programming no IC-Parc.

5. Uma dissertação de Mestrado foi defendida na área de avaliação de estratégias de escalonamento de sistemas OU paralelos.

5 Conclusões

O projeto $CLoP^N$ foi oficialmente iniciado em Janeiro de 2000, apesar de atividades no projeto terem sido informalmente iniciadas em meados de 1999. Sucintamente, os principais resultados do projeto foram:

- Reforço da colaboração Brasil-NMSU: foram efetuadas 2 reuniões entre equipes de investigadores dos 2 países, e estão previstas mais 3 para este ano. 2 das reuniões são suportadas pelo projeto.
- Desenvolvimento de software previsto no projeto: foi iniciado trabalho na área de paralelização de resolvedores de restrições em ambiente DSM (um estudante de mestrado) e na adaptação do sistema YAP para ambientes DSM. Foi estabelecida colaboração que facilitará a implementação das tarefas de compilação com a UPM (Universidad Politecnica de Madrid). Foi iniciada a tarefa de implementação de FPGAs pela aquisição do hardware necessário.
- Colaboração com outros grupos de investigação: o projeto suportou várias reuniões de colaboração com outros grupos internacionais, relacionados com todas as áreas de atuação do projeto.
- Publicações:
  - edição de um livro eletrônico
  - edição de um proceedings
  - 1 artigo em periódico internacional indexado
  - 7 artigos em conferências internacionais
  - 1 tese de Mestrado

Podemos portanto considerar que o projeto está a obter excelentes resultados nesta fase inicial.

As principais dificuldades do projeto derivam do limitado apoio financeiro que o projeto recebeu. De fato, foram apenas concedidos R$31,000.00 para bolsas de curta duração, em contraste com os R$117,000.00 pedidos na nossa proposta. Essa alocação impossibilitou visitas de média duração, que achamos extremamente importantes na continuação do projeto. Tomamos então a decisão de concentrar um pouco menos de metade do orçamento total (R$14,000.00) das bolsas no primeiro ano para poder arrancar o projeto e estabelecer na medida do possível uma colaboração efetiva desde o princípio. Infelizmente, o financiamento para o segundo ano e o terceiro ano do projeto é bastante limitado, o que poderá prejudicar atividades futuras.

Referências

[1] Thomas E. Anderson, David E. Culler, David A. Patterson, and the NOW Team. A case for networks of workstations: Now. *IEEE Micro*, February 1995.

[2] J. L. V. Barbosa, P. Kayser, C. F. R. Geyer, and I. C. Dutra. GRANLOG: An Integrated Granularity Analysis Model for Parallel Logic Programming. In *Workshop on Parallelism and Implementation Technology for (Constraint) Logic Languages*, July 2000. to appear.

[3] R. Bianchini, L. Kontothanassis, R. Pinto, M. De Maria, and M. Abud C. L. Amorim. Hiding Communication Latency and Coherence Overhead in Software DSMs. In *Proceedings of the 7th International Conference on Architectural Support for Programming Languages and Operating Systems (ASPLOS7)*, October 1996. Also available as Technical Report ES-356/95, COPPE/Systems Engineering, Federal University of Rio de Janeiro.

[4] Manuel Eduardo Correia and Vítor Santos Costa. IAP for Dummies: The YAP Design. In Inês Dutra, Vìtor Santos Costa, Gopal Gupta, Enrico Pontelli, Manuel Carro, and Peter Kacsuk, editors, *Parallelism and Implementation Technology for (Constraint) Logic Programming*, volume 30, Issue 3 of *Electronic Notes in Theoretical Computer Science*. Elsevier North-Holland Inc, March 2000. http://www.elsevier.nl/gej-ng/31/29/23/show/Products/notes/contents.htt.

[5] Prado C. B. do, P.S.R. Diniz, and F.M.G França. Implementation of overlapped block filtering using scheduling by edge reversal. In *Proc. of the IEEE International Symposium on Circuits and Systems 2000*, pages 97–100, May 2000.

[6] Inês Dutra, Vìtor Santos Costa, Gopal Gupta, Enrico Pontelli, Manuel Carro, and Peter Kacsuk, editors. *Parallelism and Implementation Technology for (Constraint) Logic Programming*, volume 30, Issue 3 of *Electronic Notes in Theoretical Computer Science*. Elsevier North-Holland Inc, March 2000. http://www.elsevier.nl/gej-ng/31/29/23/show/Products/notes/contents.htt.

[7] Inês Dutra, Vítor Santos Costa, and Ricardo Bianchini. The Impact of Cache Coherence Protocols on Parallel Logic Programming Systems. In *Proceedings of CL'2000*, July 2000. Proceedings to appear in Springer-Verlag LNCS series.

[8] Steve Gregory and Rong Yang. Parallel Constraint Solving in Andorra-I. In *International Conference on Fifth Generation Computer Systems 1992*, pages 843–850. ICOT, Tokyo, Japan, June 1992.

[9] E. Pontelli and Vítor Santos Costa, editors. *Practical Aspects of Declarative Languages*. Number 1753 in Lecture Notes in Computer Science. Springer Verlag, 2000.

[10] Daniel Ridge, Donald Becker, Phillip Merkey, Thomas Sterling Becker, and Phillip Merkey. Beowulf: Harnessing the Power of Parallelism in a Pile-of-PCs. In *IEEE Aerospace 1997*, 1997.

[11] Cesar A. F. De Rose, Philippe A. O. Navaux, and Claudio R. Geyer. Distributed Processor Allocation in Mesh-Connected Multicomputers. In *Proceedings of the nternational Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA'2000)*, June 2000.

[12] Alvaro Ruiz-Andino, Lourdes Araujo, Fernando Sáenz, and José J. Ruz. Parallel execution models for constraint programming over finite domains. In *LNCS 1702, Proceedings of PPDP'99*, pages 134–151. Springer-Verlag, September 1999.

[13] V. Santos Costa, R. Bianchini, and I. C. Dutra. Parallel Logic Programming Systems on Scalable Architectures. *Journal of Parallel and Distributed Computing*, 2000. to appear.

[14] V. Santos Costa, L. Damas, R. Reis, and R. Azevedo. *YAP User's Manual*, 2000. http://www.ncc.up.pt/~vsc/Yap.

[15] Vítor Santos Costa. Optimising bytecode emulation for prolog. In *LNCS 1702, Proceedings of PPDP'99*, pages 261–267. Springer-Verlag, September 1999.

[16] Vítor Santos Costa, Ricardo Rocha, and Fernando Silva. Novel Models for Or-Parallel Logic Programs: A Performance Analysis. In *Proceedings of EuroPar2000*, September 2000. Proceedings to appear in Springer-Verlag LNCS series.

[17] Vítor Santos Costa, Ashwin Srinivasan, and Rui Camacho. A note on two simple transformations for improving the efficiency of an ILP system. In *Proceedings of ILP'2000*, July 2000. Proceedings to appear in Springer-Verlag LNAI series.